**프로젝트 사양서**

| **항목** | **내용** |
| --- | --- |
| **DIMM 유형** | DDR4 UDIMM (Unbuffered DIMM) |
| **핀 수** | 288-pin |
| **모듈 용량** | 8GB(8Gb x 8) |
| **DRAM 칩 구성** | 8Gb (1Gx8) × 8개 = 64bit (Single Rank) |
| **ECC 여부** | 비지원 (Non-ECC) |
| **Data Width** | x64 (x8 DRAM × 8개) |
| **클럭 속도 (Data Rate)** | 1067MHz / 2133MT/s |
| **동작 전압** | 1.2V (VDD, VDDQ), 2.5V (VPP) |
| **PCB Layer 수** | 6 Layer 예상 (Power/GND 포함) |
| **Form Factor** | Standard Desktop UDIMM |
| **ODT / Write leveling** | Write leveling 사용 (Fly-by 구조 기반) |
| **Target Platform** | SoC 테스트 보드 or Server DIMM slot |

DIMM 설계의 핵심 도전과제

1. 고속 신호 무결성 확보

- 3200MT/s 이상의 데이터 전송률 지원을 위한 임피던스 제어

- 신호 반사 및 누화(Crosstalk) 최소화 설계

2. 다층 PCB 설계 최적화

- 신호-전원-접지 층 구성의 최적배치

- 비아 서계 최적화 및 스텁 영향 최소화

3. 신호 타이밍 제어

- 데이터, 스트로브, 클럭 그룹 간 정밀 길이 매칭

- byte lane 간 skew 최소화

4. 열 관리 및 전력 설계

- 전력 소모에 따른 열 발생 관리

- 안정적인 전원 공급을 위한 PDN